

First Hit

**End of Result Set**☐ **Generate Collection** **Print**

L2: Entry 1 of 2

File: JPAB

Apr 22, 1997

PUB-NO: JP409106689A

DOCUMENT-IDENTIFIER: JP 09106689 A

TITLE: NONVOLATILE MEMORY AND READING METHOD THEREFOR

PUBN-DATE: April 22, 1997

## INVENTOR-INFORMATION:

NAME

COUNTRY

KEN, SHAKUSEN

KIM, JIN-KI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

SAMSUNG ELECTRON CO LTD

APPL-NO: JP08259795

APPL-DATE: September 30, 1996

INT-CL (IPC): G11 C 16/06; G11 C 7/00

## ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a nonvolatile memory in which data output operation can be carried out continuously at higher rate by suppressing the time loss due to waiting or pending of external signal.

SOLUTION: The nonvolatile memory comprises first group and second group page buffers 12A, 12B for storing the read-out data connecting, respectively, with the bit line of first group 1A and the bit line of remaining second group 1B wherein the data of memory cell connected with a selected word line is stored in both page buffers 12A, 12B. Operation for outputting the stored data is started depending on a read enable signal and upon finishing the operation for transmitting a data stored in the page buffer 12A of first group to an I/O terminal, a data stored in the page buffer 12B of second group is transmitted to the I/O terminal and the data of a memory cell connected with a word line selected next is stored in the page buffer 12A of first group.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-106689

(43) 公開日 平成9年(1997)4月22日

(51) IntCl <sup>a</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G11C 16/06			G11C 17/00	520A
7/00	312		7/00	312C

審査請求 未請求 請求項の数6 OL (全16頁)

(21) 出願番号 特願平8-259795

(22) 出願日 平成8年(1996)9月30日

(31) 優先権主張番号 1995 P 32483

(32) 優先日 1995年9月28日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅露洞416

(72) 発明者 權 錫千

大韓民国ソウル特別市城東区松亭洞35番地  
4号

(72) 発明者 金 鐵祺

大韓民国ソウル特別市陽明区新亭6洞328  
番地

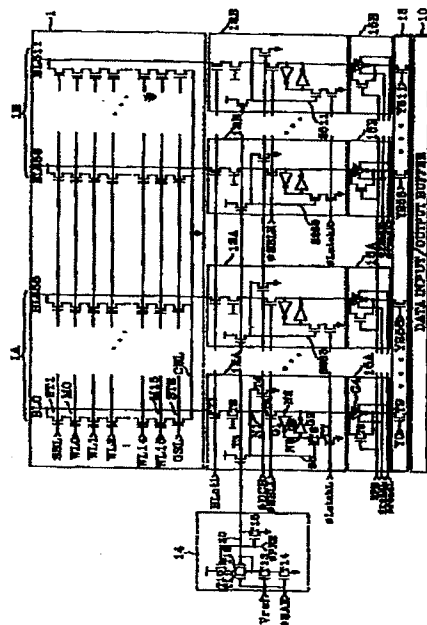
(74) 代理人 弁理士 高月 猛

(54) 【発明の名称】 不揮発性メモリ装置及びその読出方法

(57) 【要約】

【課題】 外部信号の待機保留による時間損失を抑制してより高速に連続的データ出力動作をすることが可能な不揮発性メモリ装置を提供する。

【解決手段】 第1グループ1Aのビットラインとその残りの第2グループ1Bのビットラインにそれぞれ接続され、その読出データを貯蔵するための第1グループ及び第2グループのページバッファ12A、12Bを備え、選択ワードラインに接続されたメモリセルのデータを両ページバッファ12A、12Bに貯蔵した後、読出エネーブル信号に応じてその貯蔵データの出力動作を開始し、第1グループのページバッファ12Aに貯蔵したデータを入出力端子へ伝送する動作が完了すると、第2グループのページバッファ12Bに貯蔵したデータを入出力端子へ伝送すると共に第1グループのページバッファ12Aに次の選択ワードラインに接続されたメモリセルのデータを貯蔵するように制御する。



1

## 【特許請求の範囲】

【請求項1】 ワードラインと接続された多数のメモリセルの記憶データを対応する多数のビットラインを通じて一度に読出すようにした不揮発性メモリ装置において、

前記多数のビットラインのうち所定数の第1グループのビットラインとその残りの第2グループのビットラインにそれぞれ接続され、これら第1グループ及び第2グループのビットラインによる読出データを貯蔵するための第1グループ及び第2グループのページバッファと、選択ワードラインに接続された多数のメモリセルのデータを前記第1グループ及び第2グループのページバッファに貯蔵した後、データ読出期間中周期的にトグルする読出エネーブル信号に応じてその貯蔵データの出力動作を開始し、前記第1グループのページバッファに貯蔵したデータを入出力端子へ伝送する動作が完了すると、前記第2グループのページバッファに貯蔵したデータを前記入出力端子へ伝送すると共に前記第1グループのページバッファに次の選択ワードラインに接続されたメモリセルのデータを貯蔵する動作を行わせる読出制御手段と、を備えることを特徴とする不揮発性メモリ装置。

【請求項2】 読出制御手段は、データ読出期間中に読出エネーブル信号及びカラムアドレス信号に応じてカラムアドレス信号をカウントアップするカラムアドレスカウンタと、該カラムアドレスカウンタによるカウントアップされたカラムアドレス信号を感知して次ページ読出の活性化のための制御信号を発生するカラムアドレス感知回路と、前記カラムアドレスカウンタによりカウントアップされるカラムアドレス信号に応じて第1グループ及び第2グループのページバッファに貯蔵されたデータを入出力端子へ伝送するための信号を提供するカラムデコードと、外部からアドレス信号を受けて前記カラムアドレスカウンタのカウントアップを制御するための信号とページ読出を活性化するための信号とを発生する順次読出制御回路と、前記カウントアップされた信号と読出エネーブル信号を受けて読出動作を活性化及び終了させるための信号と前記第1グループ及び第2グループのページバッファをそれぞれ制御するための信号とを発生する読出クロック制御信号発生回路と、該読出クロック制御信号発生回路の出力信号を受けてビットラインのプリチャージ動作、データ貯蔵動作及び前記入出力端子へのデータ伝送動作を制御するための信号を発生する読出クロック回路と、を有する請求項1記載の不揮発性メモリ装置。

【請求項3】 行及び列のマトリックス状に配列された多数のメモリセルを有する第1及び第2メモリセルアレイと、該第1及び第2メモリセルアレイのビットラインに接続され、読出動作でデータをラッチするためのラッチ手段及びデータを感じ取るための感知手段を有するページバッファと、該ページバッファにプリチャージ電圧

2

を提供するための電流供給回路と、を少なくとも備える不揮発性メモリ装置の読出方法において、

前記各メモリセルアレイのローデータを前記ページバッファに貯蔵する第1過程と、該第1過程で貯蔵したデータのうち前記第1メモリセルアレイのデータを入出力端子へ伝送する第2過程と、該第2過程に続いて、前記第1過程で貯蔵したデータのうち前記第2メモリセルアレイのデータを前記入出力端子へ伝送すると共に前記第1メモリセルアレイのローデータを前記ページバッファに貯蔵する第3過程と、該第3過程で貯蔵した前記第1メモリセルアレイのデータを前記入出力端子へ伝送すると共に前記第2メモリセルアレイのローデータを前記ページバッファに貯蔵する第4過程と、を実施することを特徴とする不揮発性メモリ装置の読出方法。

【請求項4】 第3過程と第4過程を反復する請求項3記載の不揮発性メモリ装置の読出方法。

【請求項5】 フローティングゲート形の多数のメモリセルをもつNANDセルユニットが各ビットラインごとに接続され、該NANDセルユニット内のメモリセルの制御ゲートにそれぞれワードラインが接続されるNAND構造を有する不揮発性メモリ装置において、前記ビットラインのうち所定数のビットラインとその残りのビットラインに区分されて接続され、対応するビットラインに現れる前記メモリセルの記憶データを第1、第2貯蔵制御信号に応じてページ単位で貯蔵する第1、第2グループの貯蔵手段と、前記ワードラインのうち選択されたワードラインに接続された全てのメモリセルのデータを前記第1、第2グループの貯蔵手段に貯蔵させ、そして、前記第1グループの貯蔵手段に貯蔵された全てのデータを入出力端子を介して順次出力した後、前記第2グループの貯蔵手段に貯蔵されたデータを前記入出力端子を介して順次出力すると共に前記選択されたワードラインの次のワードラインに接続されたメモリセルのデータを前記第1グループの貯蔵手段に貯蔵させるように前記第1、第2貯蔵制御信号を発生する読出制御手段と、を備えることを特徴とする不揮発性メモリ装置。

【請求項6】 読出制御手段は、データ読出期間中に読出エネーブル信号及びカラムアドレス信号に応じてカラムアドレス信号をカウントアップするカラムアドレスカウンタと、該カラムアドレスカウンタによるカウントアップされたカラムアドレス信号を感知して次ページ読出の活性化のための制御信号を発生するカラムアドレス感知回路と、前記カラムアドレスカウンタによりカウントアップされるカラムアドレス信号に応じて第1、第2グループの貯蔵手段に貯蔵されたデータを入出力端子へ伝送するための信号を提供するカラムデコードと、外部からアドレス信号を受けて前記カラムアドレスカウンタのカウントアップを制御するための信号とページ読出を活性化するための信号を発生する順次読出制御回路と、前記カウントアップされた信号と読出エネーブル信号を受

けて読出動作を活性化及び終了させるための信号と前記第1、第2グループの貯蔵手段をそれぞれ制御するための信号とを発生する読出クロック制御信号発生回路と、該読出クロック制御信号発生回路の出力信号を受けてビットラインのプリチャージ動作、データ貯蔵動作及び前記入出力端子へのデータ伝送動作を制御するための信号を発生する読出クロック回路と、を有する請求項5記載の不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性メモリ装置に係り、特に、電気的消去可能でプログラム可能な不揮発性メモリ装置（EEPROM）に関する。

【0002】

【従来の技術】近年、EEPROMは高集積化されていく傾向にあり、同時にその性能及び動作速度も向上している。通常、EEPROMはフローティングゲート、制御ゲート、ソース及びドレインを有するフローティングゲートトランジスタをメモリセルとして使用している。その多数のメモリセルは、行及び列のマトリクス状に配列され、同一行に配列されたメモリセルの制御ゲートはワードラインに、同一列に配列されたメモリセルのドレインはビットラインに接続されている。メモリセルアレイは、このような多数のメモリセル、多数のワードライン、及び多数のビットラインから構成される。

【0003】このようなEEPROMにおいては、動作速度を向上させるために、多数のワードラインのうち選択された一本のワードラインと接続している各メモリセルに記憶されたデータを、対応する多数のビットラインを通じて一度に読出すようにしている。このような読出動作をページ読出と呼び、多数のビットラインに読出されたデータは、ページバッファと呼ばれるデータラッチの貯蔵手段に一時的に貯蔵される。ページ読出動作は、例えば1994年8月19日付公開の大韓民国特許公開第94-18870号に開示されている。

【0004】EEPROMでは、メモリ容量を増加させるためにNAND構造のメモリセル（ストリング）が開発されている。このストリングは、ストリング選択を行うストリング選択トランジスタとグラウンド選択を行うグラウンド選択トランジスタとの間に、複数のメモリセルを直列接続して構造を有する。このようなストリングを多数有するメモリセルアレイにおいて読出動作を行う場合、アドレス入力後に該アドレスによる選択メモリセル内のデータを読出すページ読出に数 $\mu$ sかかる。従って、図1に示す読出動作時の信号タイミングと図2に示すEEPROMにおける読出動作の説明図から分かるように、1ローデータ（ページ）の同時読出動作（ページ読出）を行ってメモリ装置内のラッチ部に貯蔵した後、外部提供の連続的な信号である読出エネーブル信号バーRExに従って順次に読出さなければならない。

【0005】即ち図中、 $t_0 \sim t_1$ の期間はページ読出命令の入力期間であり、この期間 $t_0 \sim t_1$ で外部命令のラッチエネーブル信号CLExを論理“H”でアドレスラッチエネーブル信号ALExを論理“L”レベルとし、そして書込エネーブル信号バーWExを論理“L”にトグルさせながらデータ入出力端子I/Oからページ読出命令を入力することにより、ページ読出動作が設定される。その後の $t_1 \sim t_2$ の期間はアドレス信号の入力期間であり、この期間でアドレスラッチエネーブル信号ALExに従いカラムアドレス信号及びローアドレス信号のアドレスラッチ動作が遂行される。

【0006】 $t_2 \sim t_3$ の期間は、ラッチしたカラムアドレス信号及びローアドレス信号によりページ読出動作を遂行する期間である。即ち、この期間でページバッファを構成するデータラッチに読出データが貯蔵される。そして、 $t_3$ 以降の期間が、読出されたデータを順次にデータ入出力端子I/Oを通じて外部へ出力する期間である。図2は、1ページP1に対する読出動作の概略で、図1に示したようなタイミングで1ページP1についてのラッチ動作を遂行した後、データ入出力端子I/Oを通じて出力する動作を矢印で示してある。

【0007】図3は、順次読出動作の詳細を示した信号タイミング図、図4はEEPROMにおける順次読出動作の説明図である。

【0008】図1及び図2に示したような1ページP1に対する直接的な読出動作が $t_4$ で完了すると、 $t_4 \sim t_5$ の期間で、次ページP2のアドレス入力を省略してチップ内部で自動的に次ページP2に対するページ読出動作を遂行する。このときの動作は前記 $t_2 \sim t_3$ の期間における動作と同様にしてラッチまでが行われ、そして $t_5$ 以降、外部提供の連続的な読出エネーブル信号バーRExによって連続的なデータを読み出し（順次読出）する。これにより、各ページのアドレス入力動作を省くことができる。

【0009】

【発明が解決しようとする課題】上記のような順次読出動作において、1ページP1に対する読出動作と次ページP2に対する読出動作との間には、期間 $t_4 \sim t_5$ で示されるような次ページについてのページ読出時間が必要になる。このようなページ読出時間の間は外部信号が待機状態に保留されることになるので、全体的なデータアクセス時間の改善に限界があり、システム遂行能力をそれ以上向上させられないという解決課題がある。

【0010】従って、本発明の目的は、1ページ以上の連続的なデータ出力動作に際して、1ページに対するデータ出力動作が遂行される間に次ページのデータを読出してデータ出力の終了した貯蔵手段に先に貯蔵しておくことを可能とし、これにより外部信号の待機保留による時間損失を抑制して、より高速に連続的なデータ出力動作をすることが可能な不揮発性メモリ装置及びその読出方

法を提供することにある。

#### 【0011】

【課題を解決するための手段】この目的のために本発明は、ワードラインと接続された多数のメモリセルの記憶データを対応する多数のビットラインを通じて一度に読出すようにした不揮発性メモリ装置において、前記多数のビットラインのうち所定数の第1グループのビットラインとその残りの第2グループのビットラインにそれぞれ接続され、これら第1グループ及び第2グループのビットラインによる読出データを貯蔵するための第1グループ及び第2グループのページバッファと、選択ワードラインに接続された多数のメモリセルのデータを前記第1グループ及び第2グループのページバッファに貯蔵した後、データ読出期間中周期的にトグルする読出エネ

ブル信号に応じてその貯蔵データの出力動作を開始し、前記第1グループのページバッファに貯蔵したデータを入出力端子へ伝送する動作が完了すると、前記第2グループのページバッファに貯蔵したデータを前記入出力端子へ伝送すると共に前記第1グループのページバッファに次の選択ワードラインに接続されたメモリセルのデータを貯蔵する動作を行わせる読出制御手段と、を備えることを特徴とする。

【0012】その読出制御手段は、データ読出期間中に読出エネブル信号及びカラムアドレス信号に応じてカラムアドレス信号をカウントアップするカラムアドレスカウンタと、該カラムアドレスカウンタによるカウントアップされたカラムアドレス信号を感知して次ページ読出の活性化のための制御信号を発生するカラムアドレス感知回路と、前記カラムアドレスカウンタによりカウンタアップされるカラムアドレス信号に応じて第1グループ及び第2グループのページバッファに貯蔵されたデータを入出力端子へ伝送するための信号を提供するカラムデコードと、外部からアドレス信号を受けて前記カラムアドレスカウンタのカウントアップを制御するための信号とページ読出を活性化するための信号とを発生する順次読出制御回路と、前記カウントアップされた信号と読出エネブル信号を受けて読出動作を活性化及び終了させるための信号と前記第1グループ及び第2グループのページバッファをそれぞれ制御するための信号とを発生する読出クロック制御信号発生回路と、該読出クロック制御信号発生回路の出力信号を受けてビットラインのプリチャージ動作、データ貯蔵動作及び前記入出力端子へのデータ伝送動作を制御するための信号を発生する読出クロック回路と、を有するものとする。

【0013】また、本発明によれば、フローティングゲート形の多数のメモリセルをもつNANDセルユニットが各ビットラインごとに接続され、該NANDセルユニット内のメモリセルの制御ゲートにそれぞれワードラインが接続されるNAND構造を有する不揮発性メモリ装置において、前記ビットラインのうち所定数のビットラ

インとその残りのビットラインに区分されて接続され、対応するビットラインに現れる前記メモリセルの記憶データを第1、第2貯蔵制御信号に応じてページ単位で貯蔵する第1、第2グループの貯蔵手段と、前記ワードラインのうち選択されたワードラインに接続された全てのメモリセルのデータを前記第1、第2グループの貯蔵手段に貯蔵させ、そして、前記第1グループの貯蔵手段に貯蔵された全てのデータを入出力端子を介して順次出力した後、前記第2グループの貯蔵手段に貯蔵されたデータを前記入出力端子を介して順次出力すると共に前記選択されたワードラインの次のワードラインに接続されたメモリセルのデータを前記第1グループの貯蔵手段に貯蔵させるように前記第1、第2貯蔵制御信号を発生する読出制御手段と、を備えることを特徴とする。

【0014】その読出制御手段は、データ読出期間中に読出エネブル信号及びカラムアドレス信号に応じてカラムアドレス信号をカウントアップするカラムアドレスカウンタと、該カラムアドレスカウンタによるカウントアップされたカラムアドレス信号を感知して次ページ読出の活性化のための制御信号を発生するカラムアドレス感知回路と、前記カラムアドレスカウンタによりカウンタアップされるカラムアドレス信号に応じて第1、第2グループの貯蔵手段に貯蔵されたデータを入出力端子へ伝送するための信号を提供するカラムデコードと、外部からアドレス信号を受けて前記カラムアドレスカウンタのカウントアップを制御するための信号とページ読出を活性化するための信号を発生する順次読出制御回路と、前記カウントアップされた信号と読出エネブル信号を受けて読出動作を活性化及び終了させるための信号と前記第1、第2グループの貯蔵手段をそれぞれ制御するための信号とを発生する読出クロック制御信号発生回路と、該読出クロック制御信号発生回路の出力信号を受けてビットラインのプリチャージ動作、データ貯蔵動作及び前記入出力端子へのデータ伝送動作を制御するための信号を発生する読出クロック回路と、を有するものとする。

【0015】そして、本発明によれば、行及び列のマトリックス状に配列された多数のメモリセルを有する第1及び第2メモリセルアレイと、該第1及び第2メモリセルアレイのビットラインに接続され、読出動作でデータをラッチするためのラッチ手段及びデータを感知するための感知手段を有するページバッファと、該ページバッファにプリチャージ電圧を提供するための電流供給回路と、を少なくとも備える不揮発性メモリ装置の読出方法において、前記各メモリセルアレイのローデータを前記ページバッファに貯蔵する第1過程と、該第1過程で貯蔵したデータのうち前記第1メモリセルアレイのデータを入出力端子へ伝送する第2過程と、該第2過程に続いて、前記第1過程で貯蔵したデータのうち前記第2メモリセルアレイのデータを前記入出力端子へ伝送すると共

に前記第1メモリセルアレイのローデータを前記ページバッファに貯蔵する第3過程と、該第3過程で貯蔵した前記第1メモリセルアレイのデータを前記入出力端子へ伝送すると共に前記第2メモリセルアレイのローデータを前記ページバッファに貯蔵する第4過程と、を実施することを特徴とする。この場合、第3過程と第4過程を反復していくことができる。

【0016】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。下記の説明において、NANDセルやビットライン数、電圧値、回路構成など多くの特定詳細が本発明のより全般的な理解を提供するために提示されるが、これら特定詳細に限らず本発明を実施可能であることは勿論である。

【0017】ここで使用されるメモリセルとは、ソース、ドレイン、フローティングゲート、及び制御ゲートを有するフローティングゲートMOSFETを意味し、プログラムとは、選択されたメモリセルへのデータ書込を意味する。また一例として電源供給電圧 $V_{cc}$ に3.3Vを用いる例を説明するが、本発明はこの電圧値に限

定されるものではない。  
【0018】本実施形態のEEPROMは、チップ上にCMOS製造技術を用いて制作され、約-1.8Vのしきい値電圧を有するデプレッションモードのNチャネルMOSTランジスタ(D形トランジスタ)、約0.7Vのしきい値電圧を有するエンハンスメントモードのNチャネルMOSTランジスタ(Nチャネルトランジスタ)、及び約-0.9Vのしきい値電圧を有するPチャネルMOSTランジスタ(Pチャネルトランジスタ)が用いられる。この例では4M×8ビットのNAND形EEPROMについて説明するが、本発明はこのようなNAND形のEEPROMに限定されるものではない。

【0019】図5は、EEPROMの順次読出動作を遂行するための周辺回路の概略を示したブロック図である。

【0020】この図5には、順次読出動作時にアドレスバッファ(図示略)からのローアドレス信号とカウントアップ信号XCNTupに応じてカウントアップを行うローアドレスカウンタ回路5と、このローアドレスカウンタ回路5の出力に応じてローデコーダ7を制御する信号を発生するローアドレスデコーダ6と、読出エネーブル信号RExによる順次データを出力するためのカラムアドレスカウンタ8及びカラムデコーダ9と、順次読出動作のためのカラムアドレス感知回路11及び順次読出制御回路4と、ページ読出動作のための読出クロック回路3及び読出クロック制御信号発生回路2と、データ出力のためのデータ入出力バッファ10と、カラムアドレスカウンタ8の出力信号を感知してページ読出活性化のための信号を発生し、順次読出動作のためのカラムアドレス感知回路11と、行及び列のマトリックス状にメモリセ

ルを配列したメモリセルアレイ1と、メモリセルアレイ1を制御するためのローデコーダ7及びページバッファ12(貯蔵手段)と、カラム選択のためのカラム選択回路13と、が示されている。

【0021】カラムアドレスカウンタ5としては、1994年10月1日付出願の大韓民国特許出願第94-25243号に開示されているようなカラムアドレスカウンタを使用できる。

【0022】図6は、図5に示したメモリセルアレイ、ページバッファ、カラム選択回路、及びデータ入出力バッファの具体的な回路図である。同図において、メモリセルアレイ1は2つの上下位サブメモリセルアレイ1A、1Bから構成され、512バイトが1ページとして構成されるが、1024バイトを1ページとして構成することもできる。

【0023】この図6には、メモリセルアレイ1内のビットラインBL0~BL511にそれぞれ接続され、データを感知するセンスアンプ機能及び読出データを一時的に貯蔵する貯蔵機能を有する上下位ページバッファ12A、12Bと、上下位ページバッファ12A、12Bから構成されたページバッファ12に接続され、メモリセル内のデータを読出するときにビットラインBLへ供給される電流量を調節するカレントミラーの電流供給回路14と、ページバッファ12の出力端子に接続され、データの入出力時に外部制御信号の印加を受けてバス(経路)を決定する上下位入出力バス部15A、15Bと、ビットラインBL0~BL511を選択するために、入出力バス部15A、15Bの出力端子に接続されたカラム選択トランジスタから構成されるカラム選択回路13と、カラム選択トランジスタにそれぞれ接続され、データ入出力端子I/Oを通じて入力される外部データをCMOSレベルのデータに変換してラッチする機能を持ち、ラッチエネーブル信号又はデータ出力エネーブル信号に応じてラッチしたデータをデータバス又はデータ入出力端子I/Oに提供するデータ入出力バッファ10と、が示されている。

【0024】下位サブメモリセルアレイ1Aは、256個のNANDセルユニットから構成される。各NANDセルユニットは、第1選択トランジスタST1(ストリング選択)のソースと第2選択トランジスタST2(グランド選択)のドレインとの間にチャンネルが直列接続された16個のメモリセルM1~M16から構成されている。各NANDセルユニット内の第1選択トランジスタST1のドレインは、低抵抗接続により対応ビットラインBLに接続され、また各NANDセルユニット内の第2選択トランジスタST2のソースは共通ソースラインCSLに接続される。同一行に配列された第1選択トランジスタST1の制御ゲート、メモリセルM1~M16の制御ゲート及び第2選択トランジスタST2の制御ゲートは、第1選択ラインSSL、ワードラインWL0~

WL15及び第2選択ラインGSLにそれぞれ接続される。この下位サブメモリセルアレイ1A内の第1選択ラインSSL、第2選択ラインGSL、ワードラインWL0〜WL15はそれぞれローデコーダ7に接続される。尚、上位サブメモリセルアレイ1Bも下位サブメモリセルアレイ1Aと同じ構造を有する。このようなメモリセルアレイ1を構成するNANDセルユニットの構造及び平面レイアウトは、大韓民国公開特許第94-18870号に開示されている。

【0025】ビットラインBLに接続されるページバッファ12において、ビットラインBL上の高電圧伝送を防止するためのD形トランジスタT1のドレインがビットラインBLに接続され、このD形トランジスタT1のゲートにはビットライン制御信号BLct1が印加される。D形トランジスタT1のソースは、読出動作中にビットラインBLのアリチャージレベルを設定するためのN形トランジスタT2のドレインに接続され、このN形トランジスタT2のゲートには電源電圧Vccが印加される。N形トランジスタT2のソースに接続されて選択されたメモリセルの記憶データを感知してラッチするために、ノードN1とノードN2との間にドレイン・ソース通路が接続されたN形トランジスタT5と、ノードN1と接地電圧Vssとの間にドレイン・ソース通路が接続されたN形トランジスタT4と、ノードN2とN3との間に対向接続された2つのインバータG1、G2と、ノードN3と接地電圧Vssとの間にドレイン・ソース通路が直列接続されたN形トランジスタT6、T7と、N形トランジスタT6のゲートに接続するデータ感知ラインS0と電源電圧Vccとの間にドレイン・ソース通路が接続されたP形トランジスタT3と、が構成されている。

【0026】ノードN2とノードN3との間に対向接続されたインバータG1とインバータG2はデータラッチ回路G3（ラッチ手段）を構成し、ノードN3と接地電圧Vssとの間に直列接続されたトランジスタT6、T7、及びデータラインS0はデータ感知回路（感知手段）を構成する。N形トランジスタT4のゲートは初期化制御信号φDCBに接続され、N形トランジスタT5のゲートは下位分離制御信号φSBLに接続される。N形トランジスタT5は、そのゲートに入力される下位分離制御信号φSBLに於いてノードN1とノードN2との間を分離する。N形トランジスタT4、T5は、制御信号φDCB、φSBLに於いてノードN3を論理“H”レベルに初期化する。N形トランジスタT7のゲートは下位バッファラッチ信号φLATCHに接続される。

【0027】カレントミラー形の電流供給回路14は、P形トランジスタT3のゲートに接続され、ビットラインBL及びデータ感知ラインS0をアリチャージするアリチャージ電流と、ビットラインに接続されたメモリセ

ルの記憶データを感知するための感知電流を提供する。この電流供給回路14は、電源供給電圧Vccと接地電圧Vssとの間にP形トランジスタT10のソース・ドレイン通路と、並列接続されたP形トランジスタT11、T12のソース・ドレイン通路と、N形トランジスタT13、T14のドレイン・ソース通路と、が直列接続されている。P形トランジスタT3、T12のゲートがラインZOを通じて接続されており、ラインZOと接地電源Vssとの間にはN形トランジスタT15のドレイン・ソース通路が接続されている。N形トランジスタT15及びP形トランジスタT10のゲートはアリチャージ制御信号φPREに接続される。P形トランジスタT12のゲートとドレインは共通接続され、N形トランジスタT13のゲートは基準電圧Vrefに接続される。N形トランジスタT14のゲートには、センスアンプ活性化信号φSAEが印加される。

【0028】トランジスタT15は、アリチャージ制御信号φPREに応じてラインZOを接地電圧Vssへプルダウンさせ、これによりP形トランジスタT3がターンオン状態となり、このP形トランジスタT3のターンオンによってビットラインBLはアリチャージされる。P形トランジスタT3は十分に強いターンオン状態となるので、ビットラインBLは迅速にアリチャージされる。その後、ラインZOはセンスアンプ活性化信号φSAEに応じて所定の電圧レベルとなり、これによりP形トランジスタT3が弱いターンオン状態となる。この状態になると微小電流Isenseがデータ感知ラインS0上へ供給される。

【0029】インバータG1、G2からなるデータラッチ回路G3に貯蔵されるデータは、下位読出制御信号φReadLに於いてトリステートインバータG4を介してカラム選択回路13内のカラム選択トランジスタT9のドレインに印加される。トリステートインバータG4の入出力端子の間にはN形トランジスタT8のドレイン・ソース通路が並列接続され、そのゲートは制御信号SPBに接続される。

【0030】以上、1本のビットラインBL0に接続されたページバッファ12、入出力バス部15、及びカラム選択回路13を代表説明してきたが、残りのビットラインBL1〜BL511も同一の回路構成である。尚、上位ページバッファ12Bと上位入出力バス部15Bは、上位分離制御信号φSBLHに於いてN形トランジスタT5と、上位バッファラッチ信号φLATCHに於いてN形トランジスタT7と、上位読出制御信号φReadHに於いてトリステートインバータG4と、を有する。

【0031】図7は、図6に示したトリステートインバータの具体的な回路図である。このトリステートインバータG4は、P形トランジスタT16、T17とN形トランジスタT18、T19とから構成され、P形ト

10

20

30

40

50

11

ランジスタT17のゲートとN形トランジスタT18のゲートに相補読出制御信号 $\phi$ Readと読出制御信号 $\phi$ Readがそれぞれ印加される。

【0032】図8は、図6中に示した複数の制御信号を発生するための読出クロック制御信号発生回路の具体的な回路図である。この読出クロック制御信号発生回路2は、ページ読出動作中であることを示す読出動作制御信号発生回路16と、ページ読出動作の終了を示す読出終了信号発生回路17と、ページバッファ12のメモリセルアレイ接続を制御する信号を発生するバッファ制御信号発生回路18と、から構成される。

【0033】読出動作制御信号発生回路16は、インバータ19～21及びNORゲート22～24から構成される。このうちNORゲート23、24は、フリップフロップ25を形成するために交差接続されている。この読出動作制御信号発生回路16は、アドレスラッチ終了信号 $\phi$ ALEndの論理“L”レベルへの遷移とページ読出エネーブル信号 $\phi$ Renの論理“L”レベルとの組合せに応じて論理“L”レベルから論理“H”レベルへ遷移する読出動作信号 $\phi$ Ropを発生し、読出終了制御信号 $\phi$ Sfinの論理“H”レベルへの遷移に応じて読出動作制御信号 $\phi$ Ropを論理“H”レベルから論理“L”レベルにディスエーブルさせる。

【0034】読出終了信号発生回路17は、カウント信号 $\phi$ Gsrst及び駆動信号 $\phi$ Rcyen、そして相補カウント信号 $\phi$ Gsrstに応じて読出終了制御信号 $\phi$ Sfinを発生する。この読出終了信号発生回路17は、インバータ26～30、遅延回路31～33、NANDゲート34、及びNORゲート35、36から構成される。インバータ28、29、遅延回路33及びNANDゲート34から構成されたパルス発生回路37は、ページ読出動作が1回以上行われたことを現す相補カウント信号 $\phi$ Gsrstの論理“H”レベルへの遷移を検出し、論理“H”レベルの短パルスを発生させる。そして、カウント信号 $\phi$ Gsrstの論理“H”レベルへの遷移と駆動信号 $\phi$ Rcyenの短い幅の論理“H”レベルのクロックによりNORゲート35から発生する論理“H”レベルの短パルスと、パルス発生回路37からの論理“H”レベルの短パルスと、に応じて読出終了を知らせる読出終了制御信号 $\phi$ Sfinが論理“L”レベルから論理“H”レベルへの短パルスとして発生される。

【0035】バッファ制御信号発生回路18は、アドレス信号A8、相補アドレス信号 $\phi$ A8、カウント信号 $\phi$ Gsrst、相補カウント信号 $\phi$ Gsrst、読出モードであることを現すフラグ信号 $\phi$ Sgsrに応じて、ページバッファ12の活性化を制御する上下位バッファ制御信号 $\phi$ GSRL、 $\phi$ GSRHを発生させる。このバッファ制御信号発生回路18は、2つのNANDゲート38、39で構成される。

【0036】図9は、図6中に示した複数の制御信号を

12

発生するための読出クロック回路の具体的な回路図である。この読出クロック回路3は、制御信号発生回路40と、感知及びラッチ制御信号発生回路41と、読出制御信号発生回路42と、から構成される。

【0037】制御信号発生回路40は、インバータ43～54、遅延回路55、56及びNANDゲート57～60から構成される。この制御信号発生回路40は、読出動作制御信号発生回路16からの読出動作信号 $\phi$ Ropと上下位バッファ制御信号 $\phi$ GSRL、 $\phi$ GSRHに応じて、上下位分離制御信号 $\phi$ SBLL、 $\phi$ SBLH、ビットライン制御信号 $\phi$ BLct1、初期化制御信号 $\phi$ DCB及びプリチャージ制御信号 $\phi$ PREを発生させる。インバータ43、44、遅延回路55及びNANDゲート57から構成される第1クロック発生回路61は、読出動作信号 $\phi$ Ropの論理“H”レベルへの遷移に応じて、遅延回路55の遅延時間により定められる論理“H”レベルのクロックを発生させる。NANDゲート58、59及びインバータ48、49は、第1クロック発生回路61からの論理“H”レベルのクロックと上下位バッファ制御信号 $\phi$ GSRL、 $\phi$ GSRHに応じて、上下位分離制御信号 $\phi$ SBLL、 $\phi$ SBLHをそれぞれ出力する。インバータ50、51は、第1クロック発生回路61からの論理“H”レベルのクロックに応じて、論理“H”レベルのクロックである初期化制御信号 $\phi$ DCBを出力する。インバータ52～54、遅延回路56及びNANDゲート60からなる第2クロック発生回路62は、第1クロック発生回路61からのクロックの論理“L”レベルへの遷移に応じて、遅延回路56の遅延時間によって定められる論理“H”レベルのクロック、即ちプリチャージ制御信号 $\phi$ PREを発生する。インバータ45、46、47は、読出動作信号 $\phi$ Ropに応じて論理“L”レベルのクロック、即ちビットライン制御信号 $\phi$ BLct1を出力する。

【0038】感知及びラッチ制御信号発生回路41は、プリチャージ制御信号 $\phi$ PREと上下位バッファ制御信号 $\phi$ GSRL、 $\phi$ GSRHに応じてセンスアンプ活性化信号 $\phi$ SAE、下位及び上位バッファラッチ信号 $\phi$ LatchL、 $\phi$ LatchHを発生する。インバータ63～66、遅延回路67、68及びNANDゲート69からなる感知制御信号発生回路75は、制御信号発生回路40からのプリチャージ制御信号 $\phi$ PREの論理“H”レベルへの遷移に応じて、遅延回路67、68の両遅延時間によって定められるパルス幅の論理“H”レベルのクロック、即ちセンスアンプ活性化信号 $\phi$ SAEを発生させる。インバータ63、71、72、遅延回路68、NANDゲート70及びNORゲート73、74から構成されるラッチ制御信号発生回路76は、遅延回路67を通じたプリチャージ制御信号 $\phi$ PREに応じて、遅延回路68の遅延時間により定められるパルス幅のクロックである上下位ラッチ制御信号 $\phi$ Latch



L、 $\phi$ LatchHを発生させる。

【0039】読出制御信号発生回路42は、感知制御信号発生回路75からのセンスアンパ活性化信号 $\phi$ SAE、フラグ信号Sgsr、駆動信号 $\phi$ Rcyen、及び上下位バッファ制御信号バーGSRL、バーGSRHに応じて、下位読出制御信号 $\phi$ ReadLとその相補信号バー $\phi$ ReadL及び上位読出制御信号 $\phi$ ReadHとその相補信号バー $\phi$ ReadHを発生させる。この読出制御信号発生回路42は、インバータ77~88、遅延回路89、NANDゲート90及びNORゲート91~96から構成される。インバータ77~79、遅延回路89及びNANDゲート90から構成された第3クロック発生回路97は、センスアンパ活性化信号 $\phi$ SAEの論理“L”レベルへの遷移に応じて論理“H”レベルの短パルスを発生し、このパルスが駆動信号 $\phi$ Rcyenとして用いられる。NORゲート91、92から構成されたフリップフロップ98は、第3クロック発生回路97からの論理“H”レベルの短パルスに応じて、論理“H”レベルから論理“L”レベルに遷移する信号を発生し、これによりカウント信号Gsrstが論理“L”レベルから論理“H”レベルに遷移する。このカウント信号Gsrst、センスアンパ活性化信号 $\phi$ SAE及び上下位バッファ制御信号バーGSRL、バーGSRHの印加をそれぞれ受けるNORゲート95、93を介して感知終了時、即ちセンスアンパ活性化信号 $\phi$ SAEが論理“L”レベルに遷移するときに、読出制御信号 $\phi$ ReadL、バー $\phi$ ReadL、 $\phi$ ReadH、バー $\phi$ ReadHが発生する。

【0040】図10は、図6中に示した複数の制御信号を発生するための順次読出制御回路の具体的な回路図である。この順次読出制御回路4は、カウントアップ及びページ読出信号発生回路99及びカラムアドレスリセット信号発生回路100から構成される。

【0041】カウントアップ及びページ読出信号発生回路99は、カラムアドレスの読出動作が完了したことを知らせるカラムアドレス感知信号Hsay、カラム開始信号 $\phi$ Fsay及びフラグ信号Sgsrに応じて、カウントアップ信号XCNTupとページ読出エネーブル信号 $\phi$ Renを発生する。このカウントアップ及びページ読出信号発生回路99は、インバータ101~108、NANDゲート109~112、遅延回路113及びNORゲート114から構成される。NANDゲート111、112からなるフリップフロップ116は、カラム開始信号 $\phi$ Fsayの論理“H”レベルの短パルスとフラグ信号Sgsrの論理“H”レベルに応じて、論理“L”レベルから論理“H”レベルに遷移する信号を発生する。インバータ102、遅延回路113、及びNANDゲート110から構成された第4クロック発生回路115は、カラムアドレス感知信号Hsayの論理“L”レベルから論理“H”レベルへの遷移とフリップ

フリップ116の論理“H”レベルへの遷移に応じて、論理“L”レベルの短パルスを発生する。この論理“L”レベルの短パルスは、インバータ103~105を介して論理“H”レベルの短パルス、即ちカウントアップ信号XCNTupとなる。NORゲート114とインバータ106は、第4クロック発生回路115の論理“L”レベルへの出力遷移とカラム開始信号 $\phi$ Fsayの論理“H”レベルの短パルスに応じて、論理“H”レベルの短パルス、即ちページ読出エネーブル信号 $\phi$ Renを発生する。

【0042】カラムアドレスリセット発生回路100は、トグル入力される読出エネーブル信号バーREx、カラム終了信号Fsayの論理“H”レベルの短パルス、論理“L”レベルのデータ伝送終了信号Ropdisに応じて、論理“H”レベルの短パルス、即ちカラム開始信号 $\phi$ Fsayを発生する。このカラムアドレスリセット信号発生回路100は、インバータ117~119、NANDゲート120~123及び遅延回路124から構成される。NANDゲート121、122からなるフリップフロップ125は、読出エネーブル信号バーREx、カラム終了信号Fsay、カラム開始信号 $\phi$ Fsayに応じて論理“H”レベルの短パルスを発生し、この論理“H”レベルの短パルスの印加を受けて第5クロック発生回路126が論理“H”レベルの短パルスを出力する。この第5クロック発生回路126は、インバータ118、119、遅延回路124及びNANDゲート123から構成される。

【0043】図11及び図12に、本実施形態のEEPROMで順次読出動作を遂行する再のタイミング図を示し、図5~図10を参照しつつその読出動作を説明する。

【0044】まず、M0~M1の期間は、読出動作のための命令を入力するための期間であり、メモリ装置内のコマンドレジスタ(図示略)からの読出動作モードであることを現すフラグ信号Sgsrが論理“L”レベルから論理“H”レベルに遷移する。次に、M1~M2の期間はカラムアドレスとローアドレスを入力する期間であり、最終アドレスが入力されると、メモリセルに対するページ読出動作の活性化信号であるアドレスラッチエネーブル信号バーALEendが論理“H”レベルから論理“L”レベルに短い時間でトグルされ、これによりページ読出動作中であることを現す読出動作信号Ropが論理“L”レベルから論理“H”レベルに遷移する。この読出動作信号Ropが論理“L”レベルから論理“H”レベルに遷移すると読出動作を遂行することになり、当該期間M2~M3では、1ページに対する読出動作が遂行される。

【0045】この期間M2~M3では、ビットラインBL0~BL511をD形トランジスタの遮断電圧(Shut Off Voltage)レベル以下に維持させるビットライン制御

15

信号BLct1が論理“H”レベルから論理“L”レベルに移り、そしてビットラインの放電を行い且つページバッファ12をセットするクロック信号φSBL L、φSBL H、φDCBが論理“L”レベルから論理“H”レベルに一定時間活性化され、図6に示したN形トランジスタT4、T5を介して全てのビットラインがグラウンドレベルに放電され、各ビットラインに接続されたページバッファ12が全てセットされる。この際、ページ読出動作時に1ページを構成するページバッファ12のうち、下位メモリセルアレイ1Aを選択するためのアドレスによって選択されるビットラインBL0〜BL255に接続された下位ページバッファ12Aと、上位メモリセルアレイ1Bを選択するためのアドレスによって選択されるビットラインBL256〜BL511に接続された上位ページバッファ12Bとの活性化を制御する上位バッファ制御信号バーGSRHと下位バッファ制御信号バーGSSLは全て論理“H”レベルに維持される。

【0046】ビットラインの放電及び上下位ページバッファ12A、12Bに対するセットが終了すると、プリチャージ制御信号φPRE及びセンスアンプ活性化信号φSAEが論理“L”レベルから論理“H”レベルに移り、これにより、ビットラインに接続されたP形トランジスタT3のゲートに印加される電圧が論理“L”レベルになって多量の電流がビットラインにそれぞれ提供され、従って、全てのビットラインはD形トランジスタの遮断電圧レベルにプリチャージされ、データ感知ラインS0〜S511は電源電圧レベルになる。このようにビットラインのプリチャージ動作が十分に逆行された後、プリチャージ制御信号φPREが論理“H”レベルから論理“L”レベルに移り非活性化状態となり、これに従って全てのビットラインに接続されたP形トランジスタT3のゲート電圧が論理“L”レベルから一定の電圧レベルに上昇し、微小電流Isenceのみがビットラインに供給されることになる。このとき、電流供給回路14内のN形トランジスタT13のゲートへ印加される基準電圧Vrefは、常時一定の電圧レベルに保持される。すると、遮断電圧レベルにプリチャージされたビットラインは、その対応するメモリセルのデータに応じて、該選択メモリセルによりグラウンドへ放電される電流がビットラインに流入する微小電流Isenceより大きい場合にはグラウンドレベルとなり、反対に小さい場合には遮断電圧レベルとなる。これにより、各データ感知ラインSi (i=0〜511) が、選択されたメモリセルのデータに応じて電源電圧又はグラウンドレベルになる。

【0047】選択メモリセル内のデータに応じて各データ感知ラインSiの電圧レベルが決定されると、その読出データをページバッファ12へ貯蔵させる下位及び上位バッファラッチ信号φLatchL、φLatchH 50

16

が論理“L”レベルから論理“H”レベルに活性化される。すると、選択メモリセルのデータに従ってデータ感知ラインSiが電源電圧レベル(オンセルの場合)となるページバッファ12のN形トランジスタT6、T7は全てターンオン状態になるので、そのラッチが論理

“L”レベルに反転することになる。一方、データ感知ラインSiがグラウンドレベル(オンセルの場合)となるページバッファ12のN形トランジスタT7はターンオン状態になるが、NMOSTランジスタT6はターンオフ状態になるので、ラッチが論理“H”レベルをそのまま維持する。このようにして、読出されたメモリセルデータがページバッファ12に貯蔵されると、読出データを貯蔵するための下位及び上位バッファラッチ信号φLatchL、φLatchH、センスアンプ活性化信号φSAEは論理“H”レベルから論理“L”レベルに移り非活性化される。

【0048】センスアンプ活性化信号φSAEが論理“H”レベルから論理“L”レベルに移るのに合わせて、トライステートインバータG4を活性化させるための上下位読出制御信号φReadL、バーφReadL、φReadH、バーφReadHを活性化させる駆動信号φRcyenが、論理“L”レベルから一定時間論理“H”レベルへトグルされる。これにより上下位読出制御信号φReadL、バーφReadL、φReadH、バーφReadHが活性化され、外部信号によるページバッファ12のデータ出力が可能となり、また、メモリセルに対するページ読出動作が1回以上行われたことを現すカウント信号Gsrstが論理“L”レベルから論理“H”レベルに移り、これに従って、ページ読出動作時に上位カラムアドレス信号により選択されるビットラインに接続されたページバッファ12の活性化を制御する上位バッファ制御信号バーGSRHが論理“H”レベルから論理“L”レベルに移り、ページ読出動作の終了を現す読出終了制御信号φSfinが論理“L”レベルから論理“H”レベルに短時間トグルされる。

【0049】読出終了制御信号φSfinのトグルが行われると、ページ読出動作中であることを現す読出動作信号Ropが論理“H”レベルから論理“L”レベルに移り、ビットラインをD形トランジスタの遮断電圧レベル以下に維持させるビットライン制御信号BLct1が論理“L”レベルから論理“H”レベルに移り、ページ読出動作が終了すると、選択された1ページ該当のメモリセルからページバッファ12へのデータ伝送動作が終了する。

【0050】続くM3〜M4の期間は、下位メモリセルアレイ1Aについてのデータを入出力端子I/Oを通じて出力する期間である。この期間において、選択された1ページに該当のメモリセルからページバッファ12へのデータ伝送動作が終了すると、読出エネーブル信号バ

ーRExのトグルによりカラムアドレスが1ずつ増加する。従って、外部の読出エネーブル信号バーRExのトグルにより連続的かつ順次的なデータの出力動作が可能になる。読出エネーブル信号バーRExのトグルにより連続的なデータの出力動作が行われ、下位カラムアドレスによって選択されるビットラインに接続されたページバッファ12Aのデータ出力が終了すると、中間カラムアドレス256及び最終カラムアドレス512を感知するカラムアドレス感知回路11の出力としての、中間カラムアドレスであることを現すカラムアドレス感知信号Hsayが論理“L”レベルから論理“H”レベルに遷移する。

【0051】この次のM4～M5の期間は、下位メモリセルアレイ1Aから下位ページバッファ12Aへのデータ伝送を行う期間であり、またM4～M6の期間は、上位ページバッファ12Bにラッチされたデータを入出力端子I/Oへ出力する動作を行うための期間である。

【0052】期間M4～M5で、カラムアドレス感知信号Hsayが論理“L”レベルから論理“H”レベルに遷移すると、ローアドレスを増加させるカウントアップ信号XCNTupが論理“L”レベルから一定時間論理“H”レベルに1回トグルされてローアドレスを増加させ、これにより次のページ(N+1番目)が選択されるようにする。そして、ページ読出を活性化させるアドレスラッチエネーブル信号バーALEnd以外の他のページ読出エネーブル信号のRenが論理“L”レベルから論理“H”レベルにトグルされ、これに従ってページ読出動作中であることを現す読出動作信号Ropが論理“L”レベルから論理“H”レベルに再び遷移する。この際、読出エネーブル信号バーRExの連続的なトグルを通じて、次ページに対するページ読出動作の活性化とは無関係に、上位カラムアドレスにより選択されるビットラインに接続されたページバッファ12Bのデータを出力させることができる。

【0053】期間M4～M5では、ページ読出動作中であることを現す読出動作信号Ropの論理“H”レベルへの遷移によって、ページ読出動作時にビットラインレベルをD形トランジスタの遮断電圧レベル以下に維持させるビットライン制御信号BLct1が論理“H”レベルから論理“L”レベルに遷移する。このとき、上位カラムアドレスによって選択されるビットラインに接続された上位ページバッファ12Bの活性化を制御する上位バッファ制御信号バーGSRHは論理“L”レベルであるため、ビットラインを放電し且つ下位ページバッファ12Aをセットする下位分離制御信号のSBLと初期化制御信号のDCBのみが論理“L”レベルから論理“H”レベルに一定時間活性化され、これに従い、N形トランジスタT4、T5を介して全てのビットラインがグラウンドレベルに放電され、また下位カラムアドレスにより選択されるビットラインに接続された下位ページバ

ッファ12Aのみがセットされる。

【0054】全てのビットラインの放電及び下位ページに該当する下位ページバッファ12Aのセットが終了すると、ビットラインプリチャージを活性化させるためのプリチャージ制御信号のPRE及びセンスアンプ活性化信号のSAEが論理“L”レベルから論理“H”レベルに再び遷移する。プリチャージ制御信号のPRE及びセンスアンプ活性化信号のSAEが論理“L”レベルから論理“H”レベルに遷移すると、上位カラムアドレスによって選択されるビットラインに接続された上位ページバッファ12Bの活性化を制御する上位バッファ制御信号バーGSRHは論理“L”レベルであるため、トライステートインバートG4を活性化するための下位読出制御信号のReadL、バーのReadLが非活性化され、そして全てのビットラインに接続されたP形トランジスタT3のゲートに印加される電圧が再びグラウンドレベルになって多量の電流がビットラインに注入される。これにより、全てのビットラインに接続されたD形トランジスタT1の遮断電圧レベルに再びプリチャージが行われ、全てのデータ感知ラインS0～S511は再び電源電圧レベルになる。

【0055】このようにビットラインのプリチャージ動作が十分に行われた後、ビットライン制御信号のBLct1は論理“H”レベルから論理“L”レベルに遷移して非活性状態となり、全てのビットラインに接続されたP形トランジスタT3のゲートに印加される電圧がグラウンドレベルから一定の電圧レベルに上昇することになる。その結果、再び微少電流Isenceのみがビットラインに供給される。すると、D形トランジスタT1の遮断電圧レベルにプリチャージされているビットラインは、対応する選択メモリセルのデータに応じて、上記同様にその電圧レベルが決定され、これに従いデータ感知ラインSiも選択メモリセルのデータに応じて再び電源電圧又はグラウンドレベルになる。

【0056】選択されたメモリセルのデータに応じて各データ感知ラインSiの電圧レベルが決定されると、読出しデータをページバッファ12へ貯蔵させるための上下位バッファラッチ信号のLatchL、φLatchHのうち下位バッファラッチ信号のLatchLのみが活性化され、これにより、上記同様にして、下位カラムアドレスにより選択されるビットラインに接続された下位ページバッファ12Aにのみ選択的に読出データが貯蔵される。下位ページバッファ12Aにのみ読出データを貯蔵する動作が終了すると、読出データを下位ページバッファ12Aへ貯蔵させるための下位バッファラッチ信号のLatchLとセンスアンプ活性化信号のSAEが論理“H”レベルから論理“L”レベルに遷移して非活性化される。

【0057】センスアンプ活性化信号のSAEが論理“H”レベルから論理“L”レベルに遷移すると、トラ

19

イステートインバータG4を活性化させる下位読出制御信号φReadL、バーφReadLが活性化され、上下位読出制御信号φReadL、バーφReadL、φReadH、バーφReadHを活性化させる駆動信号φRcyenが論理“L”レベルから一定時間論理“H”レベルに再びトグルされる。

【0058】しかしこのとき、トライステートインバータG4を活性化させる上下位読出制御信号φReadL、バーφReadL、φReadH、バーφReadHは、その前にすでに活性化されている。そして、ページ読出動作が1回以上遂行されたか否かを現すカウント信号Gsrstが論理“H”レベルの状態にあるので、ページ読出動作の終了を現す読出終了制御信号φSfinは、論理“L”レベルから論理“H”レベルに短時間トグルされる。読出終了制御信号φSfinがトグルされると、ページ読出動作中であることを現す読出動作信号Ropが論理“H”レベルから論理“L”レベルに遷移し、これにより、ビットラインレベルをD形トランジスタT1の遮断電圧レベル以下に維持させるビットライン制御信号BLct1が論理“L”レベルから論理“H”レベルに遷移する。従って、ページ読出動作が終了し、N+1番目の次ページについて下位カラムアドレスで選択されるビットラインに接続されたメモリセルから下位カラムアドレスで選択されるビットラインに接続された下位ページバッファ12Aへのデータ伝送動作が終了する。

【0059】一方、読出エネーブル信号バーRExのトグルによる順次アクセス(Serial Access)のサイクル時間が50nsであり、ページ読出時間が3μsであると仮定すると、N+1番目の次ページについて下位カラムアドレスによって選択されるビットラインに接続されたメモリセルから下位カラムアドレスによって選択されるビットラインに接続された下位ページバッファ12Aへのデータ伝送動作が終了しても、N番目の1ページについて上位カラムアドレスによって選択されるビットラインに接続された上位ページバッファ12Bに貯蔵されているデータの連続的な処理が行われている。読出エネーブル信号バーRExのトグルによって、N番目の1ページについて上位カラムアドレスによって選択されるビットラインに接続された上位ページバッファ12Bに貯蔵されているデータの連続的な処理が行われ、最終データが出力されると、中間カラムアドレス及び最終カラムアドレスを感知するカラムアドレス感知回路11の出力であるカラム終了信号Fsayが論理“L”レベルから論理“H”レベルに遷移する。従って、上位ページバッファ12Bに貯蔵されたデータを出力する動作は期間M4～M6で遂行することになる。

【0060】次に、M6～M7の期間は、上位メモリセルアレィ1Bから上位ページバッファ12Bへのデータ伝送を行う期間であり、またM6以降の期間は、下位ベ

20

ージバッファ12Aにラッチされたデータを入出力端子I/Oへ出力する動作を行うための期間である。

【0061】最終カラムアドレスであることを現すカラム終了信号Fsayが論理“L”レベルから論理“H”レベルに遷移すると、カラムアドレスを再設定(Reset)するカラム開始信号φFsayが論理“L”レベルから一定時間論理“H”レベルにトグルされ、これによりカラムアドレスカウンタ8がリセットされると、ページ読出動作を活性化するためのページ読出エネーブル信号φRenが論理“L”レベルから論理“H”レベルにトグルされる。カラムアドレスが再設定されると、最終カラムアドレスであることを現すカラム終了信号Fsayが論理“H”レベルから論理“L”レベルに遷移し、上位ページバッファ12Bの活性化を制御する上位バッファ制御信号バーGSRHが論理“L”レベルから論理

“H”レベルに遷移し、下位ページバッファ12Aの活性化を制御する下位バッファ制御信号バーGSRLが論理“H”レベルから論理“L”レベルに遷移する。

【0062】また、ページ読出動作を活性化するページ読出エネーブル信号φRenが論理“L”レベルから論理“H”レベルにトグルされると、ページ読出動作中であることを現す読出動作信号Ropが論理“L”レベルから論理“H”レベルに再び遷移する。この際、読出エネーブル信号バーRExは連続的にトグルしてページ読出動作の活性化とは関係なく下位ページバッファ12Aのデータを出力させることができ、このときの下位ページバッファ12Aのデータは、N+1番目の次ページの

下位カラムアドレスによって選択されるビットラインに接続されたメモリセルのデータを貯蔵している。

【0063】ページ読出動作中であることを現す読出動作信号Ropが論理“L”レベルから論理“H”レベルに再び遷移すると、ページ読出動作時にビットラインレベルをD形トランジスタT1の遮断電圧レベル以下に維持させるビットライン制御信号BLct1が論理“H”レベルから論理“L”レベルに遷移し、下位ページバッファ12Aの活性化を制御する下位バッファ制御信号バーGSRLが論理“L”レベル、上位ページバッファ12Bの活性化を制御する上位バッファ制御信号バーGSRHが論理“H”レベルにあるので、下位ページバッファ12Aをセットし且つビットラインを放電する下位分離制御信号φSBLL及び初期化制御信号φDCBのみが論理“L”レベルから論理“H”レベルに一定時間活性化され、これによりN形トランジスタT4、T5を介して全てのビットラインがグランドレベルに放電され、上位ページバッファ12Bのセットが終了すると、プリチャージ制御信号φPRE及びセンスアンプ活性化信号φSAEが論理“L”レベルから論理“H”レベルに再び遷移する。

【0064】プリチャージ制御信号φPRE及びセンスアンプ活性化信号φSAEが論理“L”レベルから論理

50

21

“H”レベルに遷移すると、下位ページバッファ12Aの活性化を制御する下位バッファ制御信号バーGSRLが論理“L”レベルにあるので、トライステートインバータG4を活性化させる上位読出制御信号φReadH、バーφReadHが非活性化される。以後のビットラインレベル及びデータ感知ラインSiのレベル決定は、上記同様に行われる。

【0065】ビットラインレベル及びデータ感知ラインSiのレベルが決定されると、読出データをページバッファ12へ貯蔵させるための上下位バッファラッチ信号φLatchL、φLatchHのうち上位バッファラッチ信号φLatchHのみが活性化され、これにより上記同様にして、上位カラムアドレスによって選択されるビットラインに接続された上位ページバッファ12Bにのみ選択的に読出データが貯蔵される。上位ページバッファ12Bにのみ選択的に読出データを貯蔵する動作が終了すると、読出データを上位ページバッファ12Bへ貯蔵させるための上位バッファラッチ信号φLatchHとセンスアンプ活性化信号φSAEが論理“H”レベルから論理“L”レベルに遷移して非活性化される。

【0066】センスアンプ活性化信号φSAEが論理“H”レベルから論理“L”レベルに遷移するのに合わせて、トライステートインバータG4を活性化させる上位読出制御信号φReadH、バーφReadHが活性化され、上下位読出制御信号φReadL、バーφReadL、φReadH、バーφReadHを活性化させる駆動信号φRcyenが論理“L”レベルから一定時間論理“H”レベルに再びトグルされる。しかしこの際もトライステートインバータG4を活性化させる上下位読出制御信号φReadL、バーφReadL、φReadH、バーφReadHはその前に既に活性化されている。そして、ページ読出動作が1回以上行われたか否かを現すカウント信号Gsrstが論理“H”レベルの状態にあるので、ページ読出動作を知らせる読出終了制御信号φSfinが論理“L”レベルから論理“H”レベルに短い時間トグルされる。

【0067】読出終了制御信号φSfinがトグルされると、ページ読出動作中であることを現す読出動作信号Ropが論理“H”レベルから論理“L”レベルに遷移し、これにより、ビットラインレベルをD形トランジスタの遮断電圧レベル以下に維持させるビットライン制御信号BLctl1が論理“L”レベルから論理“H”レベルに遷移し、ページ読出動作が終了してN+1番目の次ページについて上位カラムアドレスによって選択されるビットラインに接続されたメモリセルから上位カラムアドレスによって選択されるビットラインに接続された上位ページバッファ12Bへのデータ伝送動作が完了する。

【0068】上位ページバッファ12Bへのデータ伝送動作が終了しても、下位カラムアドレスによって選択さ

22

れるビットラインに接続された下位ページバッファ12Aに貯蔵されているデータの連続的な処理動作が継続して行われている。

【0069】以上、図面を中心に例を挙げて実施形態を説明してきたが、本発明の技術的思想の範囲内ではこの他に多様な変形が可能であることは勿論である。

【0070】

【発明の効果】本発明の揮発性メモリ装置によれば、連続的なデータ出力動作の間に次のページに対するページ読出動作を遂行するようになっているので、外部信号の待機保留時間が不要であり、従って、システムの実行能力と出力時間が改善され、より高速、高機能化が図られる。

【図面の簡単な説明】

【図1】従来における不揮発性メモリ装置の読出動作タイミングを示す信号波形図。

【図2】図1に示したタイミングに関連する読出動作の説明図。

【図3】従来における不揮発性メモリ装置の順次読出動作タイミングを示す信号波形図。

【図4】図3に示したタイミングに関連する順次読出動作の説明図。

【図5】本発明による不揮発性メモリ装置のブロック図。

【図6】図5中のメモリセルアレイ、ページバッファ、カラム選択回路、及びデータ入出力バッファについて示す回路図。

【図7】図6中のトライステートインバータG4の回路図。

【図8】図5中の読出クロック制御回路2の回路図。

【図9】図5中の読出クロック回路3の回路図。

【図10】図5中の順次読出制御回路4の回路図。

【図11】図5の不揮発性メモリ装置の順次読出動作タイミングを示す信号波形図。

【図12】図11に続く信号波形図。

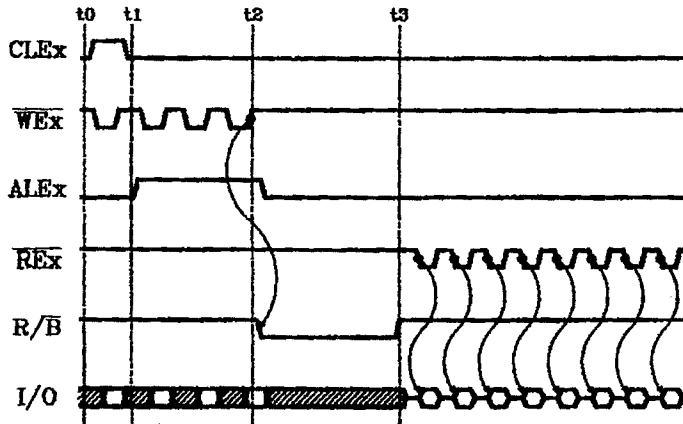
【符号の説明】

- 1 メモリセルアレイ
- 2 読出クロック制御回路
- 3 読出クロック回路
- 4 順次読出制御回路
- 5 ローアドレスカウンタ
- 6 ロープリデコーダ
- 7 ローデコーダ
- 8 カラムアドレスカウンタ
- 9 カラムデコーダ
- 10 データ入出力バッファ
- 11 カラムアドレス感知回路
- 12 ページバッファ
- 13 カラム選択回路
- 14 電流供給回路

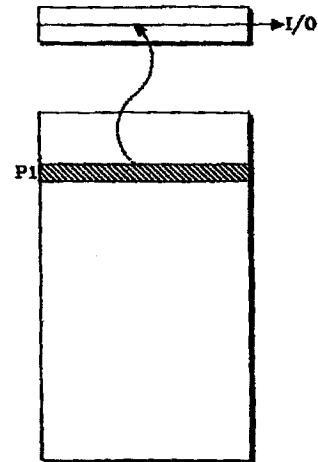
- 15 入出力バス部
- 16 読出動作制御信号発生回路
- 17 読出終了信号発生回路
- 18 バッファ制御信号発生回路
- 40 制御信号発生回路

- 41 感知及びラッチ制御信号発生回路
- 42 読出制御信号発生回路
- 99 カウントアップ及びページ読出発生回路
- 100 カラムアドレスリセット信号発生回路

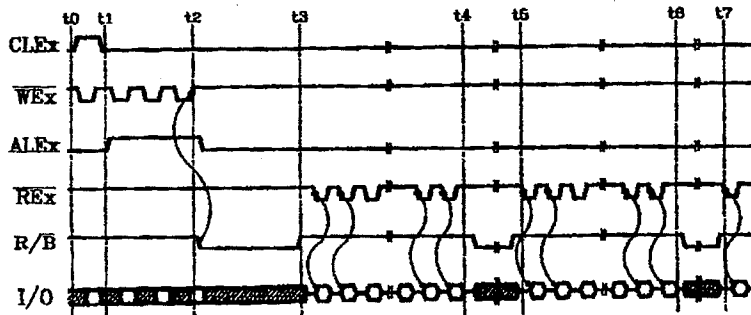
【図1】



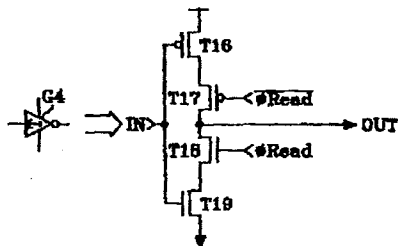
【図2】



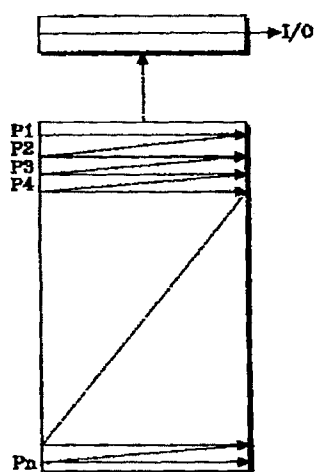
【図3】



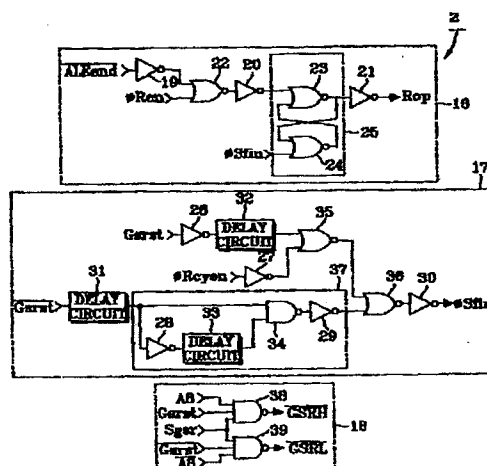
【図7】



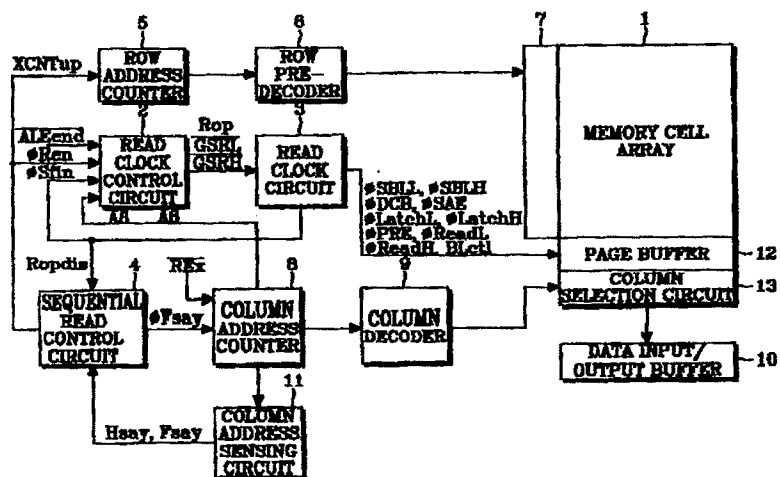
【図4】



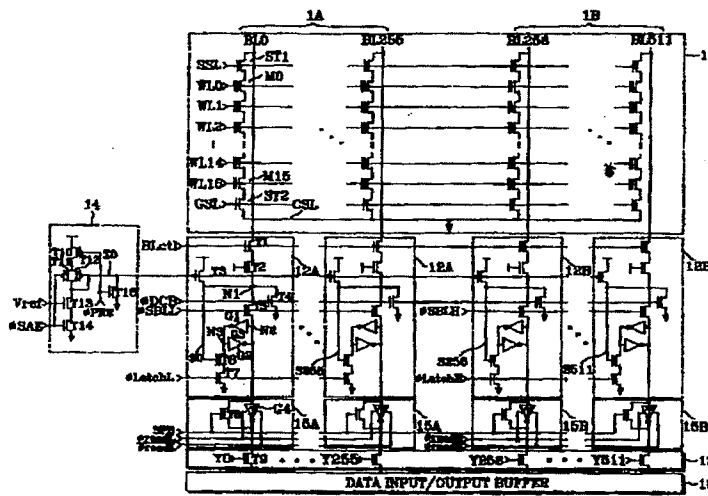
【图8】



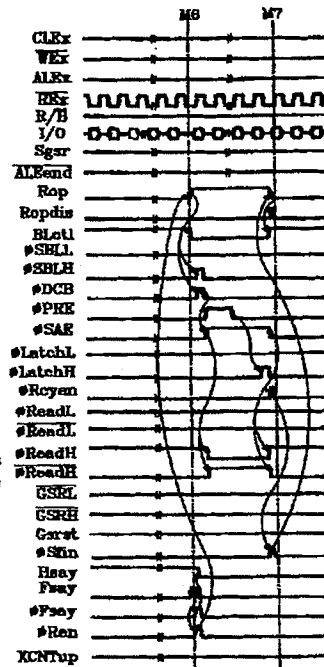
【図5】



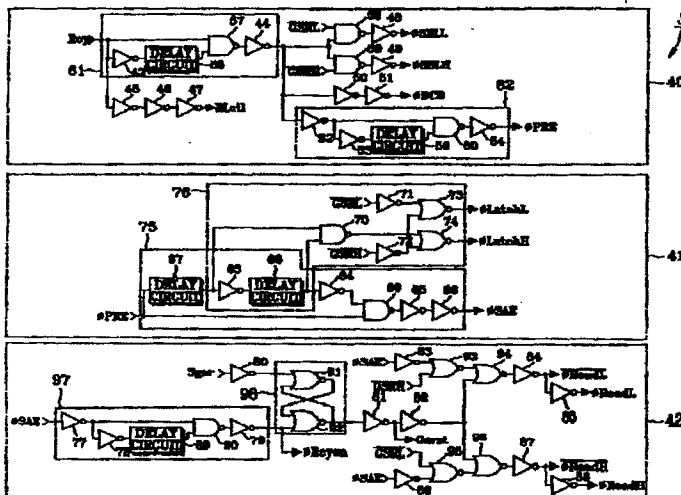
【図6】



【図12】

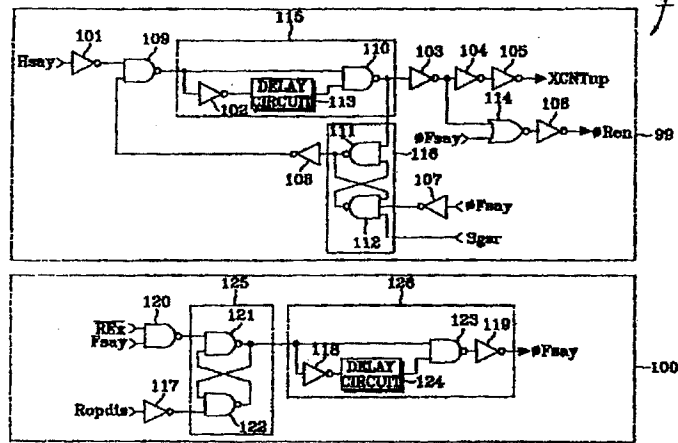


【図9】





【図10】



【図11】

